

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-321574

(43)Date of publication of application : 27.12.1989

(51)Int.Cl.

G06F 15/66

G06F 12/00

G06F 12/04

(21)Application number : 63-156210

(71)Applicant : SONY CORP

(22)Date of filing : 24.06.1988

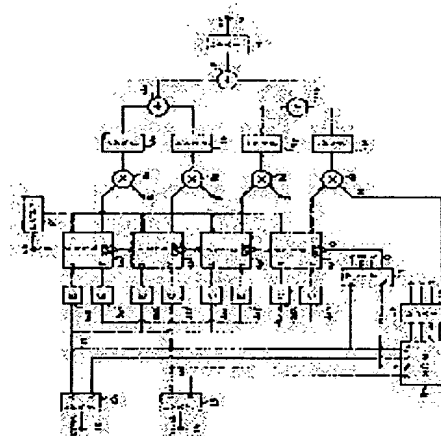
(72)Inventor : ITO TOKUICHI
KATO RYOHEI

(54) MEMORY DEVICE

(57)Abstract:

PURPOSE: To realize the virtual output of the continuous data to the outside by using the small number parts of an input address to generate an interpolation coefficient.

CONSTITUTION: The input data are successively written into the addresses of the memories 4a-4d so that the adjacent addresses are different from each other. At the time of reading the integer parts X and Y on an input address including a small number are used to take the discrete data around the input address out of the memories 4a-4d against said input address. At the same time, the small number parts (x) and (y) of the input address are used to produce an interpolation coefficient from a ROM 9. Then the continuous data are produced by means of said interpolation coefficient and discrete data and outputted via a register 14. Thus the virtual output of the continuous data is attained to the outside.



⑫ 公開特許公報(A) 平1-321574

⑤ Int. Cl. 4

G 06 F 15/66
12/00
12/04

識別記号

3 5 5
3 0 4

庁内整理番号

C-8419-5B
K-8841-5B
C-8841-5B

⑬ 公開 平成1年(1989)12月27日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 メモリ装置

⑮ 特 願 昭63-156210

⑯ 出 願 昭63(1988)6月24日

⑰ 発 明 者 伊 藤 徳 一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑰ 発 明 者 加 藤 良 平 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
 ⑲ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 メモリ装置

特許請求の範囲

整数アドレスごとの離散的データが隣接するもの同士異なるメモリになるように複数のメモリに分割して記憶され、

小数を含む入力アドレスに対してこの入力アドレスの整数部を用いて上記複数のメモリから上記入力アドレスの周囲の離散的データを取出すと共に、

上記入力アドレスの小数部を用いて補間係数を発生させ、

この補間係数と上記取出された離散的データを用いて連続的データを形成して出力するようにしたメモリ装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、例えばビデオ画像処理装置に使用して好適なメモリ装置に関する。

〔発明の概要〕

本発明はメモリ装置に関し、離散的に記憶されたデータの間を補間する機能を持たせることにより、外部に対して仮想的に連続的なデータを出力することができるようにしたものである。

〔従来の技術〕

本願出願人は先に、ビデオ画像処理に適用できるデジタル信号処理装置を提案(特開昭62-118455号公報等参照)した。

〔発明が解決しようとする課題〕

このような信号処理装置において、入出力の画像メモリ(VIM)は通常のデジタルメモリであって、画像情報は所定の間隔でサンプリングされて離散的なデータが各アドレスに記憶されている。

ところが画像処理を行う場合に、必要とされるデータは必しもサンプリング点に一致しているものではなく、その中間のデータを要求される場合

がある。その場合に従来は所望の点に隣接するアドレスのデータを読出し、それらに加重平均等の演算をして所望のデータを得るようにしている。

しかしながらこのような方法では、メモリに複数のアドレスを供給しなければならず、また読出されたデータに演算処理を行う必要があり、本来の画像処理とは異なる処理を行わなければならない等の問題があった。

この出願はこのような点に鑑みてなされたものである。

(課題を解決するための手段)

本発明は、整数アドレスごとの離散的データが隣接するもの同士異なるメモリになるように複数のメモリ(4a)～(4d)に分割して記憶され、小数を含む入力アドレス(レジスタ(2X)(2Y))に対してこの入力アドレスの整数部(X, Y)を用いて上記複数のメモリから上記入力アドレスの周囲の離散的データを取り出すと共に、上記入力アドレスの小数部(x, y)を用いて補間係数を発

生(ROM(9))させ、この補間係数と上記取出された離散的データを用いて連続的データを形成(乗算器(8a)～(8d)加算器(12a)(12b)(13))して出力(レジスタ(14))するようにしたメモリ装置である。

(作用)

これによれば、任意の小数を含む入力アドレスに対しても所望のデータが取出されるので、外部に対して仮想的に連続的なデータの出力を行うことができる。

(実施例)

第1図は画像メモリに適用した場合で、この例では画素位置に対応する2次元のアドレスが用いられる。ここでXアドレスは整数部Xと小数部x、Yアドレスは整数部Yと小数部yとから成っている。これらのXアドレス及びYアドレスが端子(1X)(1Y)を通じてレジスタ(2X)(2Y)に供給される。

これらのレジスタ(2X)(2Y)からのアドレスの整数部X, Yがそれぞれ偶数(E)生成回路(3aX)(3aY)を通じた後LSBが排除されてメモリ(4a)に供給される。また整数部Xが偶数(E)生成回路(3bX)、整数部Yが奇数(O)生成回路(3bY)を通じた後LSBが排除されてメモリ回路(4b)に供給され、整数部Xが奇数(O)生成回路(3cX)、整数部Yが偶数(E)生成回路(3cY)を通じた後LSBを排除されてメモリ(4c)に供給され、整数部X, Yがそれぞれ奇数(O)生成回路(3dX)(3dY)を通じた後LSBが排除されてメモリ(4d)に供給される。

ここで偶数(E)生成回路は、入力偶数ならそのまま奇数のとき"1"を加えて出力するもので、例えば第2図Aに示すように端子(31)に供給される入力のLSBに端子(32)からのそれより上のビットが全て"0"の信号を付加して元の入力と加算器(33)で加算し、レジスタ(34)を介して端子(35)に取出すことで実現できる。また奇数(O)生成回路は、入力偶数ならそのま

ま偶数のとき"1"を加えて出力するもので、例えば同図Bに示すよう端子(41)に供給される入力のLSBをインバータ(42)で反転し、この反転信号に端子(43)からのそれより上のビットが全て"0"の信号を付加して元の入力と加算器(44)で加算し、レジスタ(45)を介して端子(46)に取出すことで実現できる。

これらの端子(35)(46)に取出される信号のLSBが排除されて、それぞれメモリ(4a)～(4d)に供給される。

これによってメモリ(4a)～(4d)のアドレスが選択される。

さらに上述の図において、(5)はデータの入力端子であって、この端子(5)からの各整数アドレス毎に対応してサンプリングされた入力データがレジスタ(6)を通じて各メモリ(4a)～(4d)に供給される。

またレジスタ(2X)(2Y)からの各アドレスの整数部X, YのLSB(X_L, Y_L)がデコーダ(7)に供給され、(X_L, Y_L)=(0, 0)のとき

きに“ A ”、(0, 1)のときに“ B ”、(1, 0)のときに“ C ”、(1, 1)のときに“ D ”の出力が形成される。これらの出力“ A ”～“ D ”がそれぞれメモリ (4a) ～ (4d) の書込制御端子 \overline{WE} に供給される。

これによってメモリ (4a) ～ (4d) には、入力データがそれぞれ隣接するもの同士が異なるメモリとなるように順次各アドレスに書込まれる。

これに対して読出時には、所望のアドレスが供給されると各アドレスの整数部 X, Y が上述と同様に偶数・奇数生成回路を通じてメモリ (4a) ～ (4d) に供給され、それぞれ読出されたデータが乗算器 (8a) (8b) (8c) (8d) に供給される。なお読出時にはデコード(7)からの書込制御信号は遮断されている。

一方レジスタ (2X) (2Y) からの供給されたアドレスの小数部 x, y と整数部の $LSB (X_L, Y_L)$ がROM (9) に供給される。ここでROM (9) からは (X_L, Y_L) の値に応じて第3図に示すように小数部 x, y を変換した出力 $E, F, G,$

H が出力される。これらの出力 $E \sim H$ がレジスタ (10) を介してそれぞれ乗算器 (8a) ～ (8d) に供給される。

そしてこれらの乗算器 (8a) ～ (8d) からの信号がそれぞれレジスタ (11a) (11b) (11c) (11d) を介して加算器 (12a) (12b) (13) で加算され、レジスタ (14) を介して出力端子 (15) に取出される。

従ってこの装置において、例えば第4図に示すように元のアドレスが (0, 0) (0, 1) (1, 0) ……のときにそれぞれメモリ (4a) ～ (4d) のアドレス $a (0, 0) b (0, 0) c (0, 0) \dots$ にデータの書込が行われる。

そして読出時には、例えばアドレスが $0 \leq X + x < 1, 0 \leq Y + y < 1$ のときに各メモリ (4a) ～ (4d) の $a (0, 0) b (0, 0) c (0, 0) d (0, 0)$ のデータ S_a, S_b, S_c, S_d が読出され、ROM (9) からの値と乗算された後加算されて、

$$S = S_a (1 - x) (1 - y)$$

$$\begin{aligned} &+ S_b (1 - x) y \\ &+ S_c x (1 - y) \\ &+ S_d x y \end{aligned}$$

のデータ S が取出される。

また $0 \leq X + x < 1, 1 \leq Y + y < 2$ のときは $a (0, 1) b (0, 0) c (0, 1) d (0, 0)$ のデータ S_a, S_b, S_c, S_d が読出されて、

$$\begin{aligned} S &= S_a (1 - x) y \\ &+ S_b (1 - x) (1 - y) \\ &+ S_c x y \\ &+ S_d x (1 - y) \end{aligned}$$

のデータ S が取出され、 $1 \leq X + x < 2, 0 \leq Y + y < 1$ のときは $a (1, 0) b (1, 0) c (0, 0) d (0, 0)$ のデータ S_a, S_b, S_c, S_d が読出されて、

$$\begin{aligned} S &= S_a x (1 - y) \\ &+ S_b x y \\ &+ S_c (1 - x) (1 - y) \\ &+ S_d (1 - x) y \end{aligned}$$

のデータ S が取出され、 $1 \leq X + x < 2, 1 \leq Y + y < 2$ のときは $a (1, 1) b (1, 0) c (0, 1) d (0, 0)$ のデータ S_a, S_b, S_c, S_d が読出されて、

$$\begin{aligned} S &= S_a x y \\ &+ S_b x (1 - y) \\ &+ S_c (1 - x) y \\ &+ S_d (1 - x) (1 - y) \end{aligned}$$

のデータ S が取出される。

以下同様に各アドレスのデータが取出される。

こうしてデータの読出しが行われるわけであるが、上述の装置によれば任意の小数を含む入力アドレスに対しても所望のデータが取出されるので、外部に対して仮想的に連続的なデータの出力を行うことができる。

なお具体的な書込・読出しの手順は、書込時には X アドレス、 Y アドレスを順次供給すると共に対応するデータを1クロック遅らせて供給することによって順次書込みが行われる。

また読出時には X アドレス、 Y アドレスを順次

供給することにより、5クロック後に補間されたデータが順次読出される。

さらに上述の装置はアドレスが1次元のメモリにも適用でき、また3次元以上の多次元にも応用できる。

(発明の効果)

この発明によれば、任意の小数を含む入力アドレスに対しても所望のデータが取出されるので、外部に対して仮想的に連続的なデータの出力を行うことができるようになった。

図面の簡単な説明

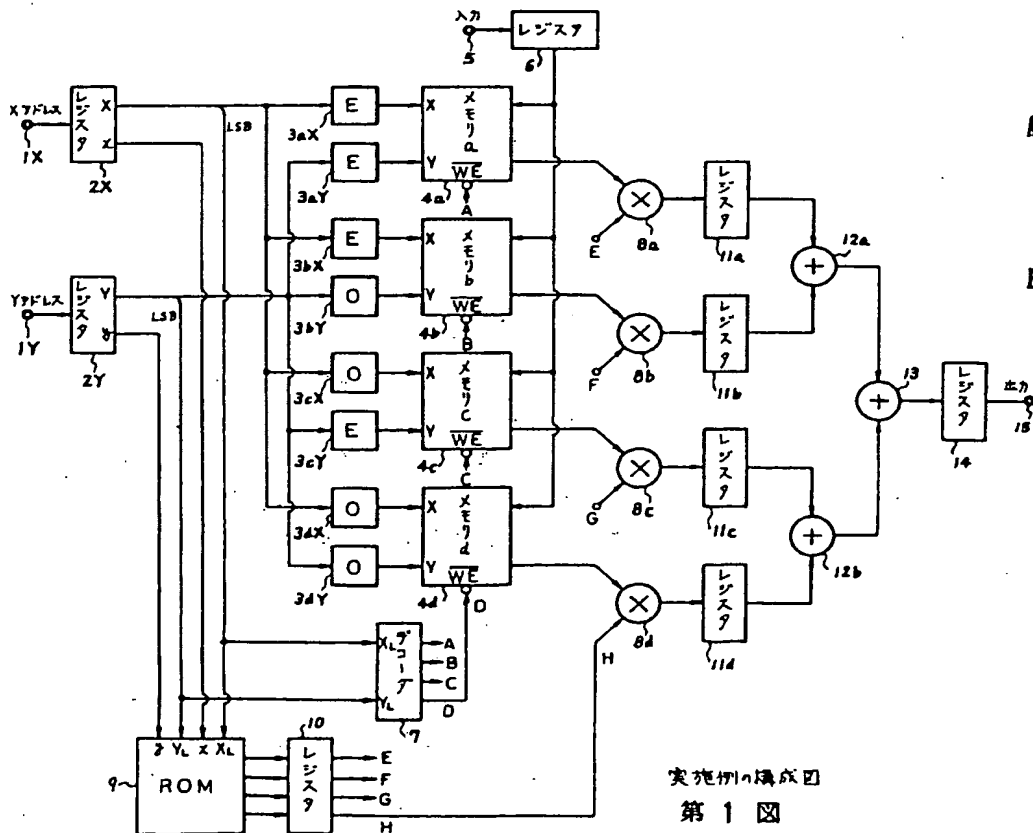
第1図は本発明の一例の構成図、第2図～第4図はその説明のための図である。

(1X) (1Y) はアドレス入力端子、(2X) (2Y) (6) (10) (11a) ~ (11d) (14) はレジスタ、(3aX) (3aY) (3bX) (3cY) は偶数生成回路、(3bY) (3cX) (3dX) (3dY) は奇数生成回路、(4a) ~ (4d) はメモリ、(6) はデータ入力端子、(7) はデコーダ、(8a) ~ (8d) は乗算器、

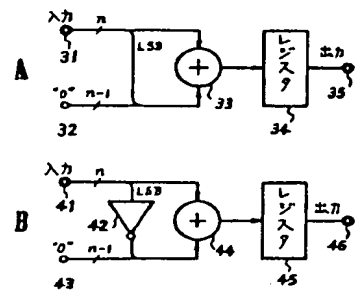
(9) はROM、(12a) (12b) (13) は加算器、(15) はデータ出力端子である。

代理人 伊藤 貞

同 松隈 秀盛



実施例の構成図
第1図

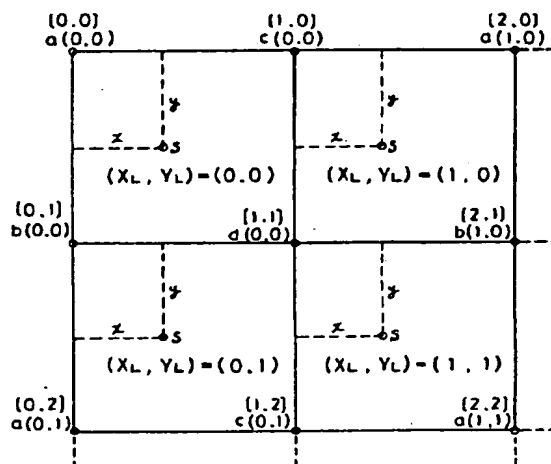


説明図
第2図

(X_L, Y_L) 出力	0 0	0 1	1 0	1 1
E	$(1-x)(1-y)$	$(1-x)y$	$x(1-y)$	xy
F	$(1-x)y$	$(1-x)(1-y)$	xy	$x(1-y)$
G	$x(1-y)$	xy	$(1-x)(1-y)$	$(1-x)y$
H	xy	$x(1-y)$	$(1-x)y$	$(1-x)(1-y)$

ROMの説明図

第3図



説明図

第4図